



GSTL

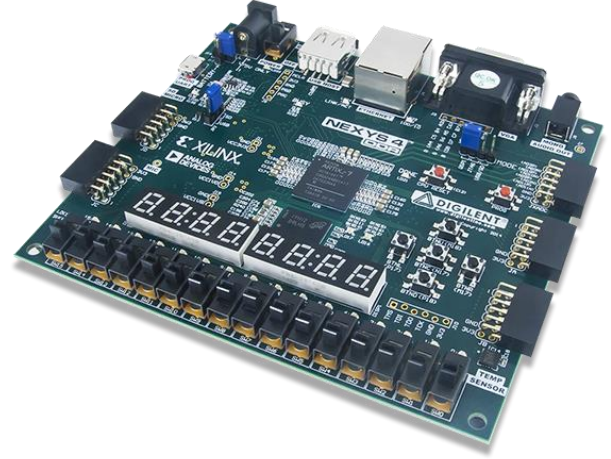
YAZ

STAJI

2018

Staj programı
18 Haziran - 13 Temmuz
2018 tarihleri arasında
gerçekleştirilecektir.

Başvurular
www.gstl.itu.edu.tr
adresinden
yapılacaktır.



FPGA Stajı

İçerik :

Verilog HDL ile donanım tasarlama,
gerçekleme
ve
FPGA üzerinde 32-bit işlemci kurup
C uygulaması çalıştırma.

Önşart:

C ve Sayısal
Devreler dersinin alınmış olması.

Son başvuru tarihi **30 Nisan 2018**'dir.

Program için **18 kişilik** kontenjan
ayrılmıştır

Stajyerlerin taşınabilir kişisel
bilgisayarlarını kullanmaları tavsiye
edilmektedir.

Stajda Devreler ve Sistemler
Laboratuvarı kullanılacaktır.