

MAKSİMUM ORTAKLAMA DEVRE TASARIMLARI

BÜŞRA BÜLBÜL & MUSTAFA GÖK

ÇUKUROVA ÜNİVERSİTESİ

ELEKTRİK- ELEKTRONİK MÜHENDİSLİĞİ

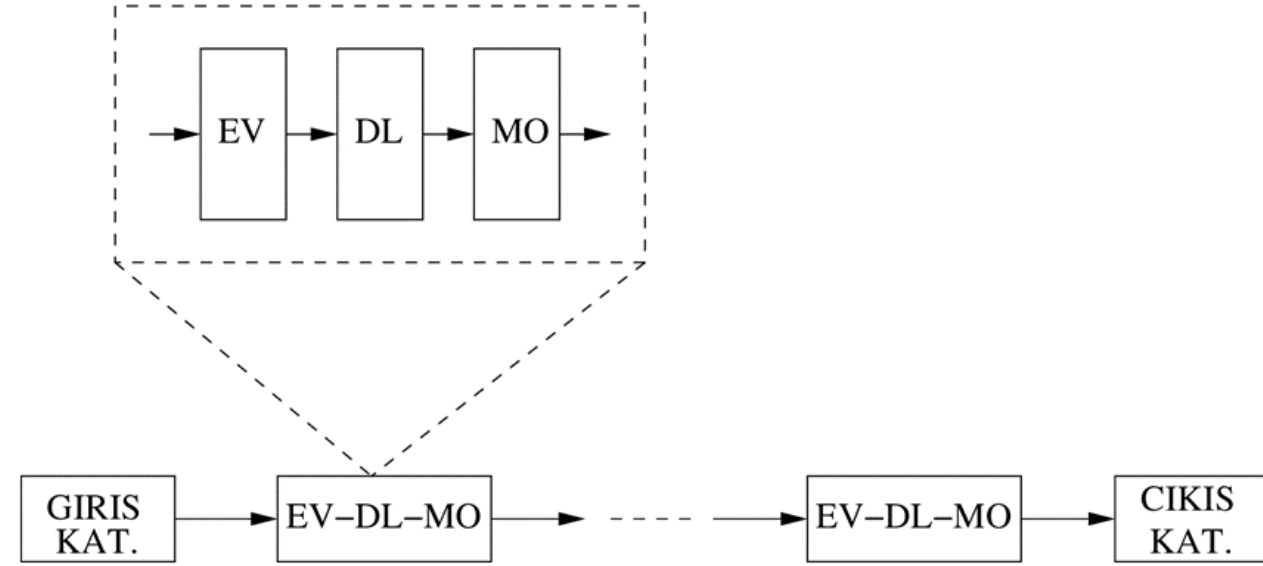
Amaç

- Evrişimli Sinir Ağlarının donanımının önemli bir parçası olan maksimum ortaklama devresinin etkin tasarımı
 - Tüm sistemin hızının arttırılması
 - Donanım kaynaklarının daha etkili kullanılması

Evriřimli Sinir Ađı

Evriřimli Sinir Ađları (ESA) donanım tasarımlarının gerekleřtirildiđi bazı alanlar:

- Gerek zamanlı sınıflandırma
- Hedef tespiti
- Bilgisayar destekli teřhis koyma
- Nesne algılama
- Yüz tanıma



řekil 1: ESA genel katman yapısı.

Evriřimli Sinir Ađı

- ESA algoritmalarının alıřtırıldıđı donanımları kabaca  sınıfa ayırabiliriz:
 1. Grafik İřlemci Tabanlı Kartlar
 2. FPGA Tabanlı Uygulamalar
 3. Uygulamaya Ynelik İřlemciler

Maksimum Ortaklama İşlemi

- Alt- örnekleme katmanı olarak da bilinen ortaklama katmanının amacı işleme giren çerçeve boyutunu azaltmaktır.
- Bu işlem maksimum ya da ortalama ortaklama yöntemlerini kullanarak gerçekleştirilebilir.

2	5	9	4	11	2.3
4	1	5.6	9	0.3	1
5	11	5	3.4	8	5
9	3	7	4.6	6	8
9	4.5	6.8	0.8	3	6.4
11	4	9	8	3	8



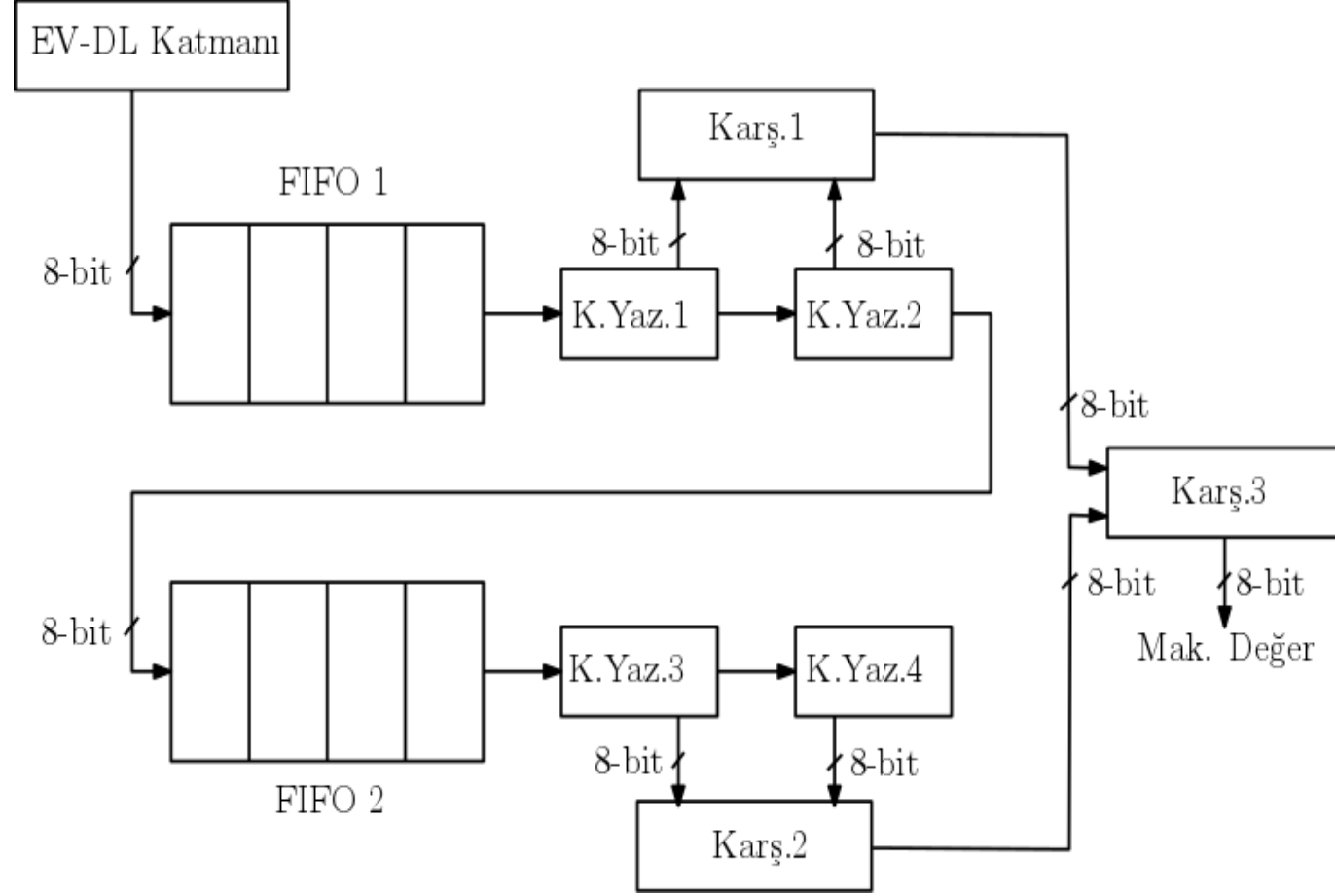
5	9	11
11	7	8
11	9	8

Şekil 2: Maksimum ortaklama örneği.

Standart Tasarım

İşlenen çerçevenin boyutu $m \times m$ olarak kabul edilirse:

- FIFO'ların büyüklükleri $m - 2$ bayt olur.
- Standart Tasarım tüm maksimumları $(3m^2 + m)/2$ saat çevriminde bulur.

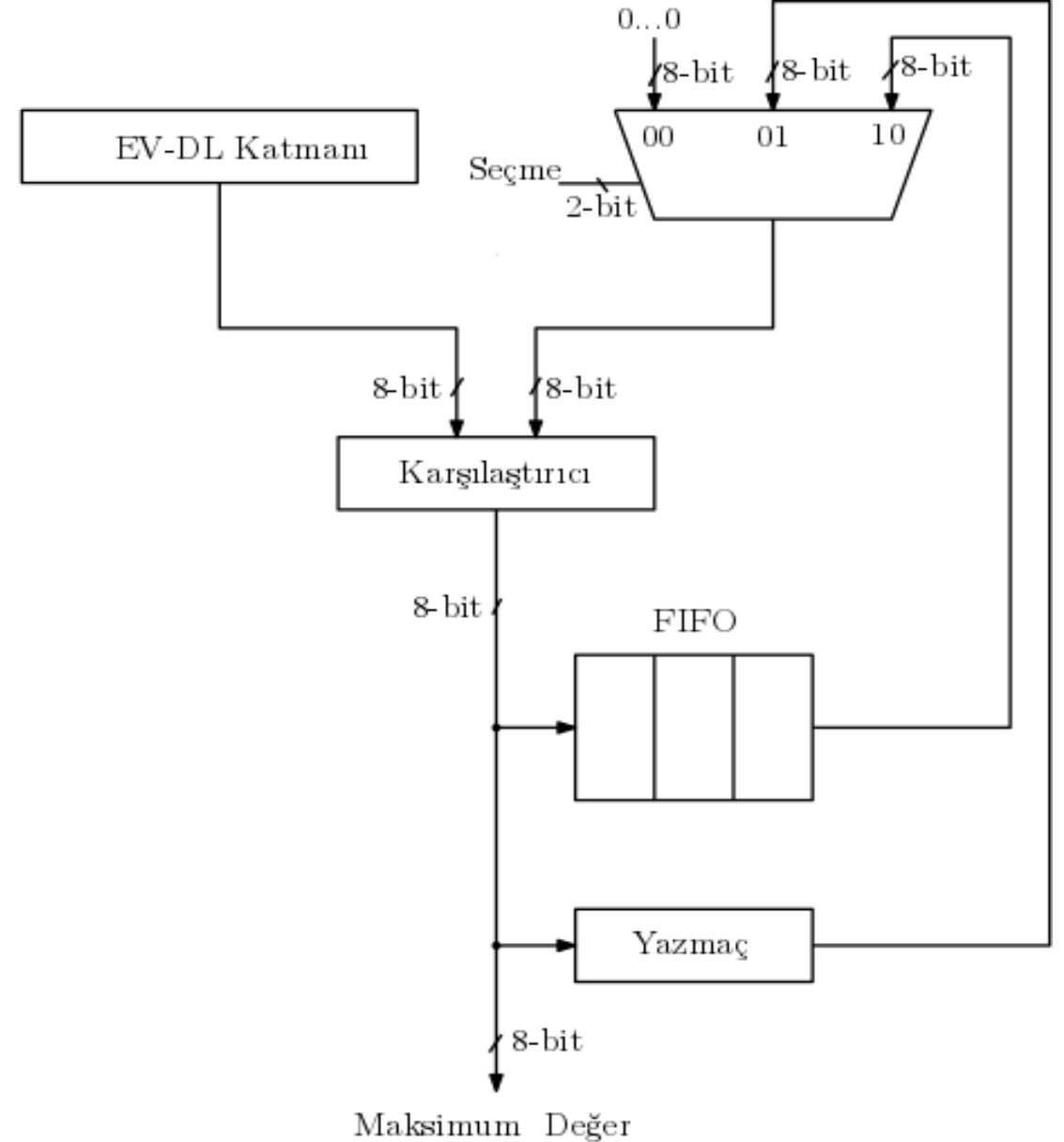


Şekil 3: Standart tasarım maksimum ortaklama.

Tasarım 1

İşlenen çerçevenin boyutu $m \times m$ olarak kabul edilirse:

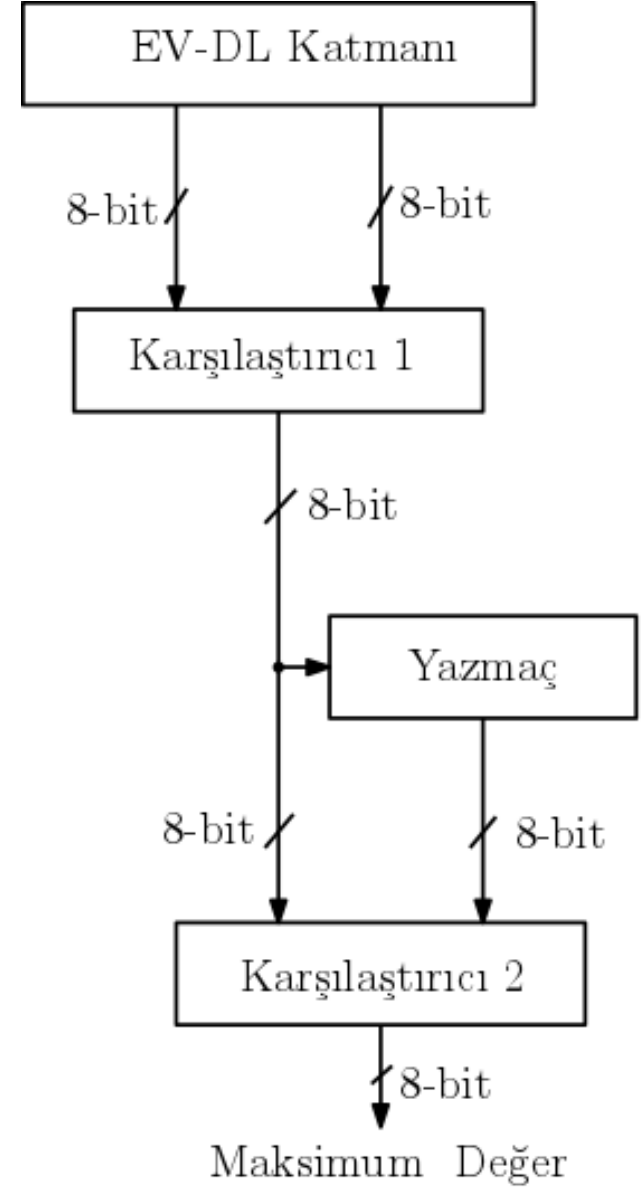
- FIFO'nun büyüklüğü $m/2$ bayt olur.
- Tasarım 1 tüm maksimumları m^2 saat çevriminde bulur.



Şekil 4: Tasarım 1.

Tasarım 2

- Tasarım 2, EV-DL katmanında çerçevenin iki satırını aynı anda işleyen donanımın kullanılması durumunda tercih edilebilecektir.
- İşlenen çerçevenin boyutu $m \times m$ olarak kabul edilirse Tasarım 2 tüm maksimumları $m^2/2$ saat çevriminde bulur.



Şekil 5: Tasarım 2.

Sonuçlar

- Tablo 1'deki sonuçlara göre Standart Tasarım tüm başlıklarda daha fazla FPGA kaynağı kullanmaktadır.
- Standart Tasarımın en önemli dezavantajı kullanılan FIFO büyüklüğünün fazla olmasıdır.

Tablo 1: FPGA donanım kaynaklarının kullanımı.

Kaynaklar	Genlik-Karşılaştırmacı Kullanıcılar			Çıkartma Devresi Kullanıcılar		
	Tas. 1	Tas. 2	Std. Tas.	Tas. 1	Tas. 2	Std. Tasarım
Uyarlanabilir Mantık Modülü	74	20	129	70	19	125
Bilişimli Uyarlanabilir Aramalı Tablo	97	28	172	100	37	178
Atanmış Mantık Yazmaçları	59	10	138	59	10	138
Giriş/ Çıkış Pini	18	26	18	18	26	18
Maksimum Çıkış Yelpazesi	67	10	154	67	17	154
Toplam Çıkış Yelpazesi	734	193	1426	705	192	1415
Ortalama Çıkış Yelpazesi	3.67	2.14	3.94	3.47	1.94	3.85

Sonuçlar

- Standart Tasarımın maksimum frekans sonucu Tasarım 1'den daha hızlı Tasarım 2'den daha yavaştır.
- $m \times m'$ lik bir çerçeveyi Tasarım 1 toplam m^2 çevrimde, Tasarım 2 $m^2/2$ çevrimde, Standart Tasarım $(3m^2 + m)/2$ çevrimde hesaplamaktadır.

Tablo 2: FPGA maksimum frekans sonuçları.

Tasarımlar	Genlik-Karşılaştırıcı Kullananlar		Çıkartma Devresi Kullananlar	
	Slow 1100mV 85C (MHz)	Slow 1100mV 0C (MHz)	Slow 1100mV 85C (MHz)	Slow 1100mV 0C (MHz)
Tas. 1	115.89	114.09	114.78	111.20
Tas. 2	426.08	442.87	408.50	419.46
Std. Tas.	160.03	161.92	150.22	150.15

Süren Çalışmalar

- İnsan varlığının tespiti amaçlı bir ESA tasarımı tamamlandı:
 - Ufak bir FPGA.
 - Ucuz ticari çözüm.
 - ELECO 2019 Konferansına değerlendirmeye sunuldu.
- ESA üzerindeki diğer aritmetik üniteleri (çarpıcılar, çoklu toplama devreleri, aktivasyon fonksiyonları, vs.) hızlandırmaya yönelik çalışmalar
- ESA donanımını kendi eğitimini yapacak şekilde geliştirmek
- Planlanan TÜBİTAK proje önerisi
- YL tez hazırlanması